

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-213570

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

G11B 20/14
G11B 7/00

(21)Application number : 10-019011

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 30.01.1998

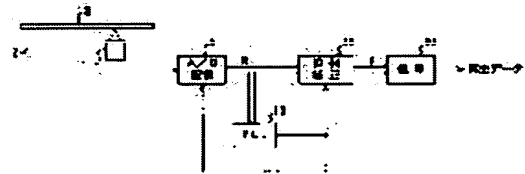
(72)Inventor : KURIBAYASHI HIROKI

(54) RECORDED INFORMATION REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a residual phase error in a read signal by using a sampled- data series which is obtained by shifting phases in a read sampled- data series by a phase error difference generated in the sampled- data series by using an oscillation signal synchronized with the sampled- data series obtained by sampling the read signal at the timing of a clock signal as the clock signal, as the corrected read sample data.

SOLUTION: A pickup 1 reads out recorded information from the recording track of a recording disk 3 which is rotatingly driven by a spindle motor 2 and supplies the obtained read information to an A/D converter 5, which successively samples the read signal at the timing of a clock signal to be supplied from a PLL circuit 10 and respectively supplies the obtained read sampled- data series R to the PLL circuit 10 and a phase correcting circuit 20. The circuit 20 detects phase deviations remaining in the read sampled- data series and obtains a corrected read sampled- data series P to supply it to a decoding circuit 30.



LEGAL STATUS

[Date of request for examination]

23.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-213570

(43) 公開日 平成11年(1999) 8月6日

(51) Int. Cl. ⁶	識別記号	F I		
G11B 20/14	341	G11B 20/14	341	B
7/00		7/00		Q

審査請求 未請求 請求項の数12 O L (全13頁)

(21) 出願番号 特願平10-19011

(22) 出願日 平成10年(1998) 1月30日

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 栗林 祐基

埼玉県鶴ヶ島市富士見6丁目1番1号パイ

オニア株式会社総合研究所内

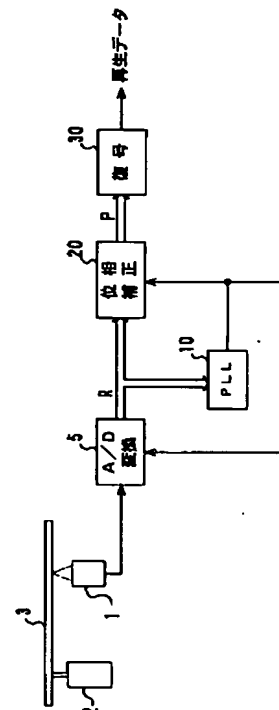
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 記録情報再生装置

(57) 【要約】

【課題】 時間軸変動の影響によって生じた読取信号中の残留位相誤差を低減させることが出来る記録情報再生装置を提供することを目的とする。

【解決手段】 記録媒体から読取られた読取信号をクロック信号に応じたタイミングにてサンプリングして読取サンプル値系列を得ると共に、かかる読取サンプル値系列に位相同期した発振信号を上記クロック信号として生成し、上記読取サンプル値系列に生じている位相誤差の分だけ読取サンプル値系列中の位相をずらした時点にて得られるサンプル値系列を補正読取サンプル値系列として求め、かかる補正読取サンプル値系列に対して復号処理を施して情報データを得る。



【特許請求の範囲】

【請求項 1】 記録媒体から読取られた読取信号に基づいて前記記録媒体に記録されている記録情報に対応した情報データを再生する記録情報再生装置であって、前記読取信号をクロック信号に応じたタイミングにてサンプリングして得られた読取サンプル値系列に位相同期した発振信号を発生し該発振信号を前記クロック信号とする PLL 回路と、前記読取サンプル値系列に生じている位相誤差の分だけ前記読取サンプル値系列中の位相をずらした時点にて得られるサンプル値系列を求めこれを補正読取サンプル値系列とする位相補正手段と、前記補正読取サンプル値系列に対して復号処理を施して前記情報データを得る復号手段と、を有することを特徴とする記録情報再生装置。

【請求項 2】 前記位相補正手段は、前記補正読取サンプル値系列と前記クロック信号との位相誤差を検出する位相誤差検出手段と、前記位相誤差をフィルタリングして補正信号を得るループフィルタと、前記読取サンプル値系列に基づき前記補正信号に対応した時間だけ位相をずらした時点にて得られるサンプル値系列を求めこれを前記補正読取サンプル値系列とする遅延可変フィルタと、からなることを特徴とする請求項 1 記載の記録情報再生装置。

【請求項 3】 前記位相補正手段は、前記読取サンプル値系列と前記クロック信号との位相誤差を検出する位相誤差検出手段と、前記位相誤差を平均化して補正信号を得るローパスフィルタと、前記読取サンプル値系列から前記補正信号に対応した時間だけ位相をずらした時点にて得られるサンプル値系列を求めこれを前記補正読取サンプル値系列とする遅延可変フィルタと、からなることを特徴とする請求項 1 記載の記録情報再生装置。

【請求項 4】 前記遅延可変フィルタは、標本化定理に基づく補間演算により前記読取サンプル値系列から前記補正読取サンプル値系列を求めることを特徴とする請求項 2 又は 3 記載の記録情報再生装置。

【請求項 5】 前記遅延可変フィルタは、前記補正信号に基づくフィルタ係数にてフィルタリング処理を行う FIR フィルタであって、前記 FIR フィルタの n 番目の係数タップの内の偶数 (0 を含まず) 番目の係数タップに対応したフィルタ係数 $a_{0, (2k)}$ は、

$$\text{【数 1】 } a_{0, (2k)} = \alpha \cdot X / n$$

α : 比例定数

X : 前記補正信号

であり、

前記 FIR フィルタの n 番目の係数タップの内の奇数番目の係数タップに対応したフィルタ係数 $a_{0, (2k+1)}$ は、

$$\text{【数 2】 } a_{0, (2k+1)} = -\alpha \cdot X / n$$

α : 比例定数

X : 前記補正信号

であり、

前記 FIR フィルタの 0 番目の係数タップに対応したフィルタ係数 a_0 は、

$$\text{【数 3】 } a_0 = 1$$

であることを特徴とする請求項 2 又は 3 記載の記録情報再生装置。

【請求項 6】 前記 FIR フィルタの係数タップの数は 3 つであり、各係数タップに対応したフィルタ係数 a_{-1} 、 a_0 、及び a_1 は、

$$\text{【数 4】}$$

$$a_{-1} = \alpha \cdot X$$

$$a_0 = 1$$

$$a_1 = -\alpha \cdot X$$

α : 比例定数

X : 前記補正信号

であることを特徴とする請求項 5 記載の記録情報再生装置。

【請求項 7】 記録媒体に形成されている記録トラックから読取られた読取信号に基づいて前記記録媒体に記録されている記録情報に対応した情報データを再生する記録情報再生装置であって、

前記読取信号をクロック信号に応じたタイミングにてサンプリングして得られた読取サンプル値系列に位相同期した発振信号を発生し該発振信号を前記クロック信号とする PLL 回路と、

前記読取サンプル値系列から隣接トラックからのクロストーク成分を除去したクロストーク除去読取サンプル値系列を得るクロストーク除去回路と、

前記クロストーク除去読取サンプル値系列に生じている位相誤差の分だけ前記クロストーク除去読取サンプル値系列中の位相をずらした時点にて得られるサンプル値系列を求めこれを補正読取サンプル値系列とする位相補正手段と、

前記補正読取サンプル値系列に対して復号処理を施して前記情報データを得る復号手段と、を有することを特徴とする記録情報再生装置。

【請求項 8】 前記位相補正手段は、前記補正読取サンプル値系列と前記クロック信号との位相誤差を検出する位相誤差検出手段と、前記位相誤差をフィルタリングして補正信号を得るループフィルタと、前記クロストーク除去読取サンプル値系列に基づき前記補正信号に対応した時間だけ位相をずらした時点にて得られるサンプル値系列を求めこれを前記補正読取サンプル値系列とする遅延可変フィルタと、からなることを特徴とする請求項 7 記載の記録情報再生装置。

【請求項 9】 前記位相補正手段は、前記クロストーク除去読取サンプル値系列と前記クロック信号との位相誤差を検出する位相誤差検出手段と、前記位相誤差を平均化して補正信号を得るローパスフィルタと、前記クロス

トーク除去読取サンプル値系列から前記補正信号に対応した時間だけ位相をずらした時点にて得られるサンプル値系列を求めこれを前記補正読取サンプル値系列とする遅延可変フィルタと、からなることを特徴とする請求項 7 記載の記録情報再生装置。

【請求項 1 0】 前記遅延可変フィルタは、標本化定理に基づく補間演算により前記クロストーク除去読取サンプル値系列から前記補正読取サンプル値系列を求めることを特徴とする請求項 8 又は 9 記載の記録情報再生装置。

【請求項 1 1】 前記遅延可変フィルタは、前記補正信号に基づくフィルタ係数にてフィルタリング処理を行う F I R フィルタであって、

前記 F I R フィルタの n 番目の係数タップの内の偶数

(0 を含まず) 番目の係数タップに対応したフィルタ係数 $a_{n(n \text{ even})}$ は、

$$\text{【数 5】 } a_{n(n \text{ even})} = \alpha \cdot X / n$$

α : 比例定数

X : 前記補正信号

であり、

前記 F I R フィルタの n 番目の係数タップの内の奇数番目の係数タップに対応したフィルタ係数 $a_{n(n \text{ odd})}$ は、

$$\text{【数 6】 } a_{n(n \text{ odd})} = -\alpha \cdot X / n$$

α : 比例定数

X : 前記補正信号

であり、

前記 F I R フィルタの 0 番目の係数タップに対応したフィルタ係数 a_0 は、

$$\text{【数 7】 } a_0 = 1$$

であることを特徴とする請求項 8 又は 9 記載の記録情報再生装置。

【請求項 1 2】 前記 F I R フィルタの係数タップの数は 3 つであり、各係数タップに対応したフィルタ係数 a_{-1} 、 a_0 、及び a_1 は、

【数 8】

$$a_{-1} = \alpha \cdot X$$

$$a_0 = 1$$

$$a_1 = -\alpha \cdot X$$

α : 比例定数

X : 前記補正信号

であることを特徴とする請求項 1 1 記載の記録情報再生装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、記録媒体から記録情報の再生を行う記録情報再生装置に関する。

【0 0 0 2】

【従来の技術】 図 1 は、従来の記録情報再生装置の構成を示す図である。図 1 において、ピックアップ 1 は、スピンドルモータ 2 によって回転駆動せしめられる記録デ

ィスク 3 から記録情報の読み取りを行い、この際得られた読取信号を A/D 変換器 5 に供給する。A/D 変換器 5 は、この読取信号を、PLL 回路 1 0 から供給されたクロック信号のタイミングにて順次サンプリングし、この際得られた読取サンプル値系列を PLL 回路 1 0 及び復号回路 3 0 の各々に供給する。

【0 0 0 3】 PLL 回路 1 0 における位相誤差検出回路 1 1 は、上記 A/D 変換器 5 から順次供給されてくる読取サンプル値系列に基づいて上記読取信号に生じている位相誤差を検出し、この位相誤差分に対応した位相誤差信号を LPF (ローパスフィルタ) 1 2 に供給する。LPF 1 2 は、かかる位相誤差信号を平均化して得られた平均位相誤差信号を周波数可変発振器 1 3 に供給する。周波数可変発振器 1 3 は、この平均位相誤差信号に応じた周波数を有するクロック信号を生成し、これを上記 A/D 変換器 5 に供給する。復号回路 3 0 は、例えばビタビ (Viterbi) 復号器からなり、上記読取サンプル値系列を連続した時系列として捉えこの時系列に基づいて最も確からしい 2 値の再生データを復号する。

【0 0 0 4】 このように、上記記録情報再生装置においては、PLL 回路 1 0 により、記録ディスク 3 から読み取られた読取信号に位相同期したクロック信号を生成し、このクロック信号にて上記読取信号をサンプリングすることにより読取サンプル値系列を得るようにしている。しかしながら、記録ディスク 3 に記録されている情報の線記録密度が高いと、スピンドルモータ 2 の回転ムラ、あるいは記録ディスク 3 自体の偏芯等の影響を受け、上記読取信号には時間軸変動が生じる。この際、かかる時間軸変動に上記 PLL 回路 1 0 が追従しきれなくなると、A/D 変換器 5 から出力された上記読取サンプル値系列には位相ずれが起こる。従って、この位相ずれの影響により、上記読取サンプル値系列中には残留誤差が残ってしまい、後段の復号回路 3 0 では信頼性の高い復号が為されなくなるといった問題が発生した。

【0 0 0 5】

【発明が解決しようとする課題】 本発明は、かかる問題を解決すべくなされたものであり、時間軸変動の影響によって生じた読取信号中の残留位相誤差を低減させることが出来る記録情報再生装置を提供することを目的とする。

【0 0 0 6】

【課題を解決するための手段】 本発明による記録情報再生装置は、記録媒体から読取られた読取信号に基づいて前記記録媒体に記録されている記録情報に対応した情報データを再生する記録情報再生装置であって、前記読取信号をクロック信号に応じたタイミングにてサンプリングして得られた読取サンプル値系列に位相同期した発振信号を発生し該発振信号を前記クロック信号とする PLL 回路と、前記読取サンプル値系列に生じている位相誤差の分だけ前記読取サンプル値系列中の位相をずらした

時点にて得られるサンプル値系列を求めこれを補正読取サンプル値系列とする位相補正手段と、前記補正読取サンプル値系列に対して復号処理を施して前記情報データを得る復号手段とを有する。

【0007】

【発明の実施の形態】以下、本発明の実施例について説明する。図2は、本発明による記録情報再生装置の構成を示す図である。図2において、ピックアップ1は、スピンドルモータ2によって回転駆動せしめられる記録ディスク3の記録トラックから記録情報の読み取りを行い、この際得られた読取信号をA/D変換器5に供給する。A/D変換器5は、この読取信号をPLL回路10から供給されたクロック信号のタイミングにて順次サンプリングし、この際得られた読取サンプル値系列RをPLL回路10及び位相補正回路20の各々に供給する。PLL回路10は、上記A/D変換器5から順次供給されてくる読取サンプル値系列Rに基づいて上記読取信号に生じている位相誤差を検出し、この位相誤差に対応した周波数を有するクロック信号を発生してこれを上記A/D変換器5及び位相補正回路20の各々に供給する。尚、かかるPLL回路10の内部構成は、前述した図1に示されるものと同一である。

【0008】位相補正回路20は、かかる読取サンプル値系列Rに残留している位相ずれを検出し、読取サンプル値系列Rにおいて上記位相ずれを補正した時点にて得られるであろうサンプル値系列を求め、これを上記補正読取サンプル値系列Pとして復号回路30に供給する。図3は、かかる位相補正回路20による位相補正動作の一例を示す図である。

【0009】尚、図3の横軸は時系列的に見て右に行く程新しく、左に行く程古い。よって、グラフ右上にあるデータほど遅れ、左にあるデータほど進んでいる。図3(a)に示すように、サンプリングタイミングが Δt だけ遅れている場合には、サンプリングタイミングを Δt だけ進ませたときに得られる補正読取サンプル値系列Pを、読取サンプル値系列Rに基づいて求める。

【0010】また、図3(b)に示すように、サンプリングタイミングが Δt だけ進んでいる場合には、サンプ

$$P_k = \sum_{n=-\infty}^{\infty} R_{k+n} \cdot a_n$$

$$a_n = \text{SIN}\{\pi(\Delta t / T - n)\} / \pi(\Delta t / T - n)$$

【0015】ここで、 P_k 、 R_k は、k番目のサンプル値、Tはサンプリング周期を表す。実際には、nが無限大の場合の総和を求めることは出来ない。そこで、係数 a_n はnの絶対値が大きくなるにつれてゼロに近づくので、nの絶対値が大きい場合の a_n をゼロと近似して、

リングタイミングを Δt 遅らせたときに得られる補正読取サンプル値系列Pを、読取サンプル値系列Rに基づいて求める。このようにして読み取りサンプル値系列Pに残留している位相差を補正する。復号回路30は、例えばビタビ(Viterbi)復号器からなり、上記補正読取サンプル値系列Pに基づいて最も確からしい2値の再生データを復号する。

【0011】図4は、上記位相補正回路20の内部構成を示す図である。図4において、遅延可変フィルタ21は、ナイキストの標準化定理に基づき、上記読取サンプル値系列R中における連続した複数個分の読取サンプル値から、補正信号Xに応じた分だけ位相をずらした時点において得られるであろう読取サンプル値を順次求め、これを補正読取サンプル値系列Pとして出力する。位相誤差検出回路22は、かかる補正読取サンプル値系列Pと、上記PLL回路10から供給されたクロック信号との間に生じている位相誤差を検出し、この検出した位相誤差に対応した位相誤差eをループフィルタ23に供給する。ループフィルタ23は、かかる位相誤差eをフィルタリングしこれを上記補正信号Xとして遅延可変フィルタ21に供給する。

【0012】このような構成により、位相誤差検出回路22で検出される補正読取サンプル値系列Pの位相誤差eに応じて後述する遅延可変フィルタ21の補正量($\Delta t / T$)を増減させて、位相誤差eがゼロとなるようにフィードバック制御することにより、補正読取サンプル値系列Pの位相誤差を補正している。次に、遅延可変フィルタ21の動作原理について説明する。

【0013】読取サンプル値系列Rからサンプリングタイミングを Δt だけずらしたときに得られる補正読取サンプル値系列Pを求める方法は、ナイキストの標準化定理として良く知られており、読取サンプル値系列Rに基づき、任意の時間サンプリングタイミングをずらしたときに得られるサンプル値系列Pを次式の演算で求めることができる。

【0014】

【数9】

(1)

有限個($2m+1$ 、 m :自然数、1, 2, 3, ...)のサンプル値に基づいて次式の演算で求める。

【0016】

【数10】

$$P_k = \sum_{n=-m}^m R_{k+n} \cdot a_n \quad (2)$$

$$a_n = \text{SIN}\{\pi(\Delta t / T - n)\} / \pi(\Delta t / T - n)$$

【0017】図5は、上記の演算を実現する、遅延可変フィルタ21の内部構成の一例を示す図である。係数演算回路211は、上式(2)において、 $\Delta t / T = -X$ として、

【0018】

【数11】

$$a_n = \text{SIN}\{\pi(-X - n)\} / \pi(-X - n) \quad (3)$$

なる演算により可変係数フィルタ212の係数 a_n を求め、可変係数フィルタ212は、

【0019】

【数12】

$$P_k = \sum_{n=-m}^m R_{k+n} \cdot a_n$$

【0020】なる演算を行うことにより、補正信号Xに
 応じた分だけ位相をずらした時点において得られる補正
 読取サンプル値系列Pを求める。この演算の結果、補正
 信号Xが正極性の場合、すなわち読取サンプル値系列R
 が遅れている場合には、サンプリングタイミングを $| -X T |$
 ($= | \Delta t |$)だけ進ませた補正読取サンプル値
 系列Pが得られ、補正信号Xが負極性の場合、すなわち
 読取サンプル値系列Rが進んでいる場合には、サンプリ
 ングタイミングを $| -X T |$ ($= | \Delta t |$)だけ遅らせ
 た補正読取サンプル値系列Pが得られることになる。

【0021】以上の説明では式(3)をそのまま用いる
 場合について説明したが、 $X \ll 1$ の場合は、式(3)
 を1次近似することが可能である。尚、位相補正回路は
 通常のPLLの残留位相誤差を補正するものであり、PLL
 の残留位相誤差においては、通常は $X \ll 1$ が成り
 立つ。

【0022】

【数13】

$$a_n = -X / n\pi \quad n = \text{odd}$$

$$a_n = X / n\pi \quad n = \text{even}$$

$$a_n = 1 \quad n = 0$$

なる演算から可変係数フィルタ212の係数 a_n を求め
 ても良い。

【0023】更に、 $m=1$ (3タップ)の場合には、

【0024】

【数14】

$$a_n = -X / \pi \quad n = \text{odd}$$

$$a_n = X / \pi \quad n = \text{even}$$

$$a_n = 1 \quad n = 0$$

となる。

【0025】このときの可変係数フィルタ212の構成

は、図7において後述する。可変係数フィルタ212
 は、上述した如き、

【0026】

【数15】

$$P_k = \sum_{n=-m}^m R_{k+n} \cdot a_n$$

【0027】なる演算により補正読取サンプル値系列P
 を求める。例えば、上記演算を実現する回路は、図6に
 示されるが如きFIR (Finite Impulse Response) フィ
 ルタからなる。図6において、上記読取サンプル値系列
 Rは、縦続接続された2m個の単位遅延素子 $D_1 \sim D_m$
 からなる系に供給される。単位遅延素子 $D_1 \sim D_m$ 各々
 は、サンプリング周期Tに等しい遅延時間を与えるもの
 であり、1つの単位遅延素子の出力は、1サンプリング
 時間前の入力となる。図6においては、単位遅延素子D
 から出力された読取サンプル R_0 を時点0での読取サン
 プルと捉えて、各単位遅延素子 $D_1 \sim D_m$ 各々の出力を
 記載してある。例えば、この際、単位遅延素子D
 は、かかる時点0よりも1サンプリング前の時点に
 おける読取サンプル値 R_{-1} を出力し、単位遅延素子D
 は、かかる時点0よりも1サンプリング後の時点に
 おける読取サンプル値 R_1 を出力する。又、単位遅延素
 子 D_m は、上記時点0よりもmサンプリング前の時点に
 おける読取サンプル値 R_{-m} を出力し、単位遅延素子 D_1
 は、かかる時点0よりも(m-1)サンプリング後の時
 点における読取サンプル値 R_{m-1} を出力する。よって、
 この際、単位遅延素子 D_1 には、上記時点0よりもmサ
 ンプリング後の時点における読取サンプル値 R_m が供給
 されていることになる。

【0028】これら読取サンプル値 $R_m, R_{m-1}, \dots, R_1, R_0, R_{-1}, \dots, R_{-m}$ は、夫々、係数乗算器 $M_1 \sim M_{m+1}$ に
 供給される。係数乗算器 $M_1 \sim M_{m+1}$ は、これら読取サ
 ンプル値 $R_m, R_{m-1}, \dots, R_1, R_0, R_{-1}, \dots, R_{-m}$ 各々に
 対して、上記係数演算回路211から供給されたフィル
 タ係数 $\{a_n\}$ を乗算し、各乗算結果を加算器AD1に
 供給する。加算器AD1は、これら乗算結果を全て加算
 して得られた加算結果を補正読取サンプル値系列Pとし
 て出力する。

【0029】以上の如き構成により、遅延可変フィルタ
 21は、ナイキストの標本化定理に基づいた下記の如き
 補間演算によって、読取サンプル値系列R中における連
 続した(2m+1)個の読取サンプル値から、位相誤差
 時間 Δt だけ位相をずらした正しいサンプリング時点に
 て得られる補正読取サンプル値系列Pを求める。一方、

図7は、図6に示される可変係数フィルタ212を前述した如き $m=1$ (3タップ)にて実現した際の構成例である。

【0030】図7において、単位遅延素子 D_1 及び D_2 は、夫々、サンプリング周期 T に等しい遅延時間を与えるものであり、1つの単位遅延素子の出力は、1サンプリング時間前の入力となる。図7においては、単位遅延素子 D_1 から出力された読取サンプル R_0 を時点0での読取サンプル、単位遅延素子 D_2 は、かかる時点0よりも1サンプリング前の時点における読取サンプル値 R_{-1} を出力するものとする。よって、この際、単位遅延素子 D_1 には、上記時点0よりも1サンプリング後の時点における読取サンプル値 R_1 が供給されていることになる。係数乗算器 M_1 は、かかる読取サンプル値 R_1 に上記フィルタ係数 a_1 、すなわち $(-X/\pi)$ を乗算して得られた乗算結果を加算器AD1に供給する。係数乗算器 M_2 は、上記読取サンプル値 R_0 に上記フィルタ係数 a_0 、すなわち"1"を乗算して得られた乗算結果を加算器AD1に供給する。又、係数乗算器 M_3 は、上記読取サンプル値 R_{-1} に上記フィルタ係数 a_{-1} 、すなわち (X/π) を乗算して得られた乗算結果を加算器AD1に供給する。加算器AD1は、上記係数乗算器 $M_1 \sim M_3$ 各々から供給されてくる乗算結果各々を加算して得られた加算結果を補正読取サンプル値系列 P として出力する。

【0031】図8は、位相誤差検出回路22の内部構成の一例を示す図である。図8において、ゼロクロスサンプル抽出回路221は、補正読取サンプル値系列 P における連続した3サンプル間においてその極性が反転する際の最もゼロに近いサンプル値、いわゆるゼロクロスの際のゼロクロスサンプル値を抽出してこれを極性セレクト回路222に供給する。上昇/下降検出回路223は、かかる補正読取サンプル値系列 P が上昇傾向にあるのか、又は下降傾向にあるのかを検出して、その検出結果を上記極性セレクト回路222に供給する。極性セレクト回路222は、上記上昇/下降検出回路223により、補正読取サンプル値系列 P が上昇傾向にあると検出された場合には、上記ゼロクロスサンプル値をそのまま検出感度換算回路224に供給する。一方、補正読取サンプル値系列 P が下降傾向にあると検出された場合には、上記ゼロクロスサンプル値の極性を反転させたものを検出感度換算回路224に供給する。検出感度換算回路224は、かかる極性セレクト回路222から供給されたゼロクロスサンプル値を、サンプリング周期 T に対する位相ずれの割合 τ/T に換算し、これを位相誤差 e として出力する。

【0032】次に、かかる構成からなる位相誤差検出回路22の動作について説明する。尚、補正読取サンプル値系列 P が上昇傾向にある場合と下降傾向にある場合とで処理が異なるので、それぞれの場合にわけて説明する。ここで、入力された補正読取サンプル値系列 P に位

相誤差がない場合には、連続した3サンプル間においてその極性が反転する際の最もゼロに近いゼロクロスサンプル値(後述する図9、図10における P_0 の値)は、"0"になるものとする。

【0033】まず、図9により、サンプル値が上昇傾向にある場合について説明する。図9(a)に示すように、サンプリングタイミングが遅れている場合には、ゼロクロスの際のサンプル値 P'_0 の値は正極性となる。一方、図9(b)に示すように、サンプリングタイミングが進んでいる場合には、ゼロクロスの際のサンプル値 P'_0 の値は負極性となる。したがって、ゼロクロスの際のサンプル値 P'_0 がそのまま位相誤差を表す。この際、検出感度換算回路224は、かかるサンプル値 P'_0 を、サンプリング周期 T に対する割合 τ/T に換算したものを位相誤差 e として出力する。

【0034】次に、図10に示すようにサンプル値が下降傾向にある場合について説明する。図10(a)に示すように、サンプリングタイミングが遅れている場合には、ゼロクロスの際のサンプル値 P'_0 の値は負極性となる。一方、図10(b)に示すように、サンプリングタイミングが進んでいる場合には、ゼロクロスの際のサンプル値 P'_0 は正極性となる。したがって、ゼロクロスの際のサンプル値 P'_0 は、図9に示したサンプル値が上昇傾向にある場合と極性が反転するので、ゼロクロスの際のサンプル値 P'_0 の極性を反転させた値に基づく位相誤差を、検出感度換算回路224にてサンプリング周期 T に対する割合 τ/T に換算し、これを位相誤差 e として出力する。

【0035】このように、サンプリングタイミングが遅れている場合には正極性となる一方、進んでいる場合には負極性となる位相誤差 e を得るのである。以上の如き構成により、図4に示される位相補正回路20においては、位相誤差検出回路22にて検出された補正読取サンプル値系列 P の位相誤差 e に応じて遅延可変フィルタ21の補正量 Δt を増減させ、その位相誤差 e がゼロとなるようにフィードバック制御することにより補正読取サンプル値系列 P の位相誤差を補正するのである。

【0036】例えば、図9(a)及び図10(a)に示すように、補正読取サンプル値系列 P のサンプルタイミングの位相が遅れている場合には、位相誤差検出回路22で検出される位相誤差 e の極性が正極性となり、それに応じて補正信号 X が増加する。この際、遅延可変フィルタ21の補正量 Δt は補正信号 X に従って変化し、補正読取サンプル値系列 P のサンプルタイミングを進めるように作用する。

【0037】一方、図9(a)及び図10(b)に示すように、補正読取サンプル値系列 P のサンプルタイミングの位相が進んでいる場合には、位相誤差検出回路22で検出される位相誤差 e の極性が負極性となり、それに応じて補正信号 X が減少する。この際、遅延可変フィル

タ 2 1 の補正量 Δt は補正信号 X に従って変化し、補正読取サンプル値系列 P のサンプルタイミングを遅らせるように作用する。

【0038】このようにして補正読取サンプル値系列 P の位相誤差 e がゼロとなるように遅延可変フィルタ 2 1 の補正量 Δt を制御することにより、読取サンプル値系列 R の残留位相誤差が補正されるのである。尚、上記図 4 に示される位相補正回路 2 0 においては、最終的に得られた補正読取サンプル値系列 P から位相誤差を検出して位相補正を行うといういわゆるフィードバック構成を採用しているが、かかる位相補正回路 2 0 としては、図 1 1 に示されるが如きフィードフォワード構成を採用するようにしても良い。

【0039】かかる図 1 1 に示される構成では、位相補正回路 2 0 における位相誤差検出回路 2 2 は、A/D 変換器 5 から供給された読取サンプル値系列 R に対して位相誤差検出を行って得られた位相誤差 e を L P F 2 3' に供給することになる。このようなフィードフォワード構成の場合には、図 4 に示したフィードバック構成の場合のように、位相誤差 e がゼロとなるように遅延可変フィルタ 2 1 の補正量を制御するのではなく、位相誤差 e の大きさそのものを遅延可変フィルタ 2 1 の補正量 $\Delta t / T$ とすることによって、読取りサンプル値系列 R の残留位相誤差を補正する。このため、位相誤差 e から補正量 $\Delta t / T$ への変換は定量的に正確に行う必要があるので、図 1 1 における L P F 2 3' は、位相誤差 e の平均値を補正信号 X として遅延可変フィルタ 2 1 に供給し、そのゲインは 1 である。

【0040】又、図 1 2 に示されるように、読取サンプル値系列 R 中に重畳してしまった隣接トラックからのクロストークを除去するクロストーク除去回路 4 0 を上記位相補正回路 2 0 の前段に設けるようにしても良い。この際、上記位相補正回路 2 0 は、クロストーク除去された後の読取サンプル値系列に対して位相補正を行うことになるので、より信頼性の高い位相補正が可能となる。

【0041】以上の如く、本発明による記録情報再生装置によれば、例えば上記 PLL 回路 1 0 が、スピンドルモータ 2 の回転ムラ、又は記録ディスク 3 自体の偏芯等の影響による時間軸変動に追従しきれなくなっても、この時間軸変動によって生じた残留位相誤差は位相補正回路

2 0 によって低減されるのである。更に、かかる構成によれば、PLL 回路 1 0 のサーボ帯域を狭帯域にすることが出来るので、かかるサーボ帯域を狭くすることにより、ディスク記録面上のキズ及び情報読取時のクロストークの影響を受けにくくさせることが可能となるのである。

【図面の簡単な説明】

【図 1】従来の記録情報再生装置の構成を示す図である。

【図 2】本発明による記録情報再生装置の構成を示す図である。

【図 3】位相補正回路 2 0 による位相補正動作を説明する為の図である。

【図 4】位相補正回路 2 0 の内部構成を示す図である。

【図 5】遅延可変フィルタ 2 1 の内部構成の一例を示す図である。

【図 6】 $(2m+1)$ タップにて形成した場合の可変係数フィルタ 2 1 2 の内部構成を示す図である。

【図 7】3 タップにて形成した場合の可変係数フィルタ 2 1 2 の内部構成を示す図である。

【図 8】位相誤差検出回路 2 2 の内部構成の一例を示す図である。

【図 9】位相補正回路 2 0 による位相補正動作を説明する為の図である。

【図 10】位相補正回路 2 0 による位相補正動作を説明する為の図である。

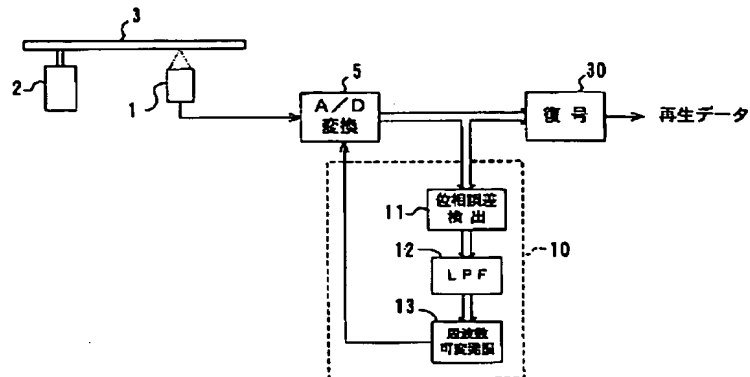
【図 11】フィードフォワード構成による位相補正回路 2 0 の内部構成を示す図である。

【図 12】クロストーク除去回路を付加した記録情報再生装置の構成を示す図である。

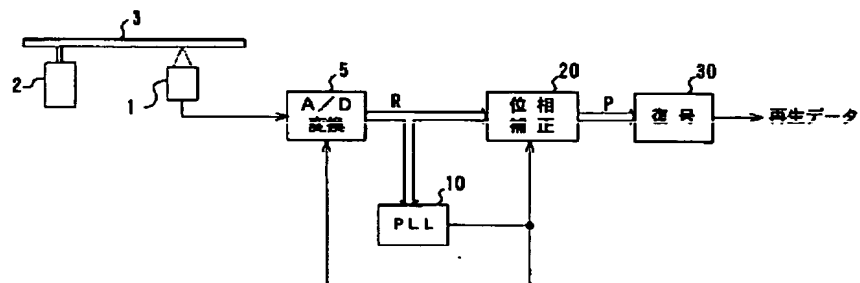
【主要部分の符号の説明】

- 1 ピックアップ
- 3 記録ディスク
- 5 A/D 変換器
- 10 PLL 回路
- 20 位相補正回路
- 21 遅延可変フィルタ
- 22 位相誤差検出回路
- 211 係数演算回路
- 212 可変係数フィルタ

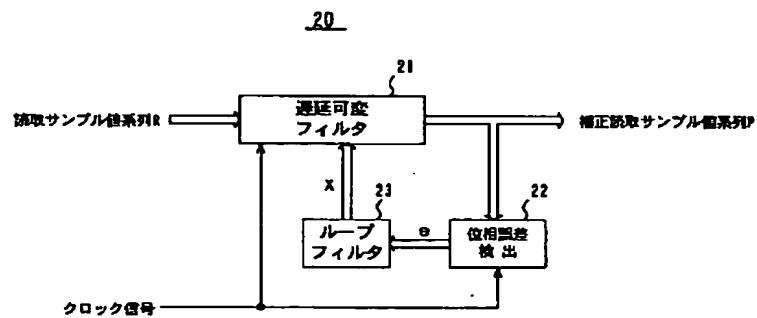
【図 1】



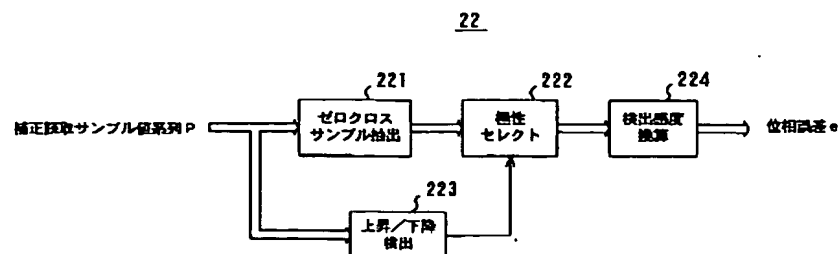
【図 2】



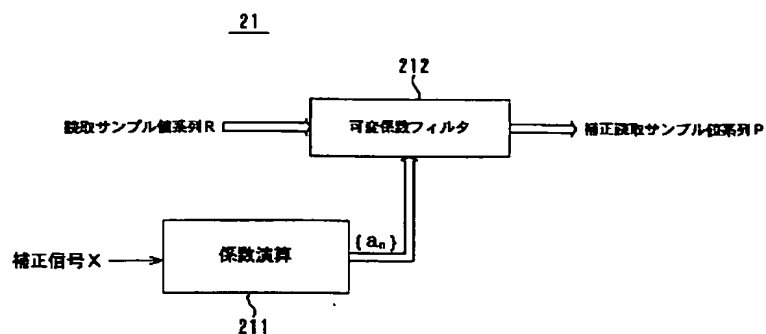
【図 4】



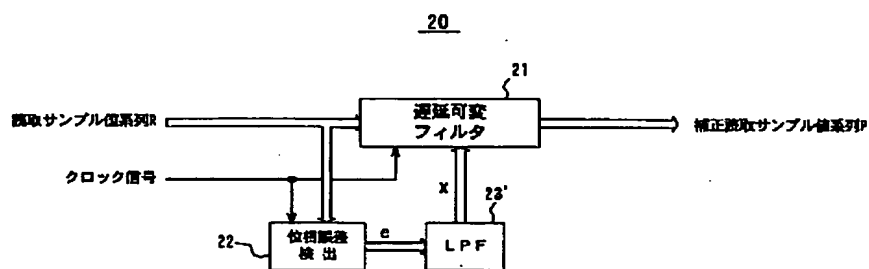
【図 8】



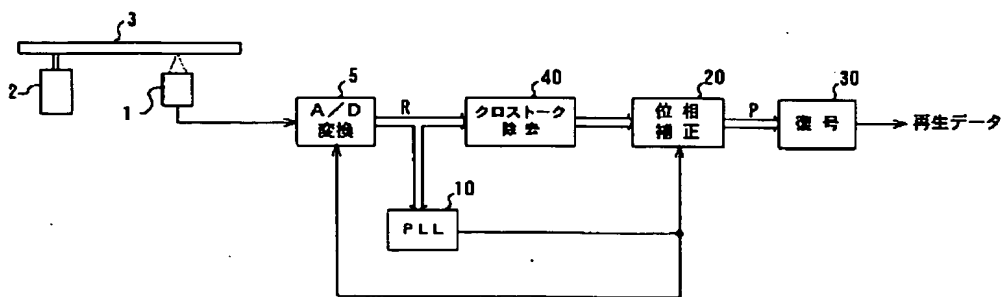
【図 5】



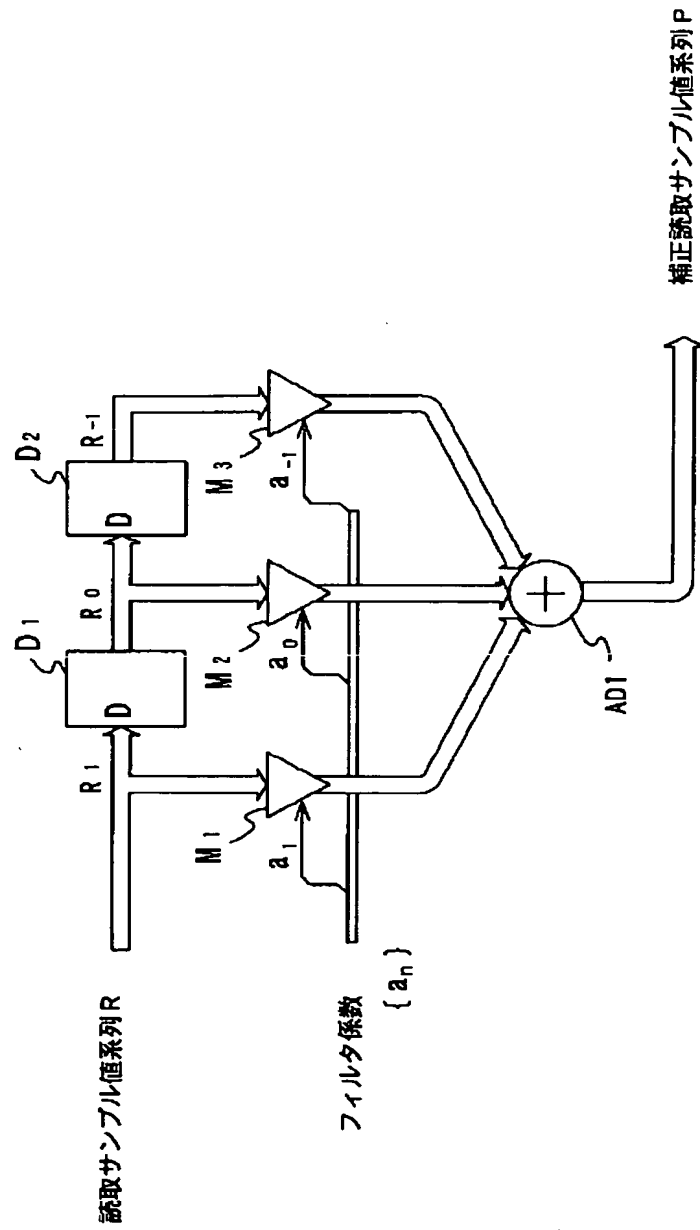
【図 1 1】



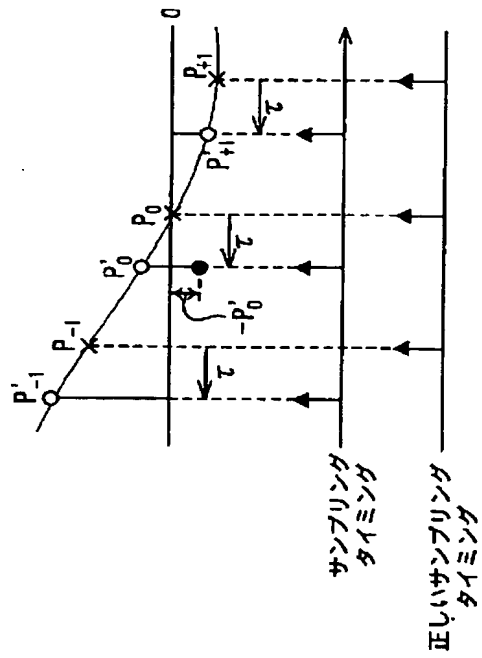
【図 1 2】



【図 7】



(9)



(a)

